

2/9/1

DIALOG(R) File 351:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

012178417 **Image available**

WPI Acc No: 1998-595328/199850

XRPX Acc No: N98-463232

Decision threshold and sampling point regulation method for data regenerator - uses successive adjustment of data sampling point and decision threshold of secondary data path for experimental determination of optimum settings.

Patent Assignee: SIEMENS AG (SIEI)

Inventor: HOFSCHEIN S; MUELLNER E

Number of Countries: 021 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 9849811	A2	19981105	WO 98DE893	A	19980327	199850 B
DE 19717643	A1	19981112	DE 1017643	A	19970425	199851
DE 19717643	C2	19990225	DE 1017643	A	19970425	199912
EP 978182	A2	20000209	EP 98928083	A	19980327	200012
			WO 98DE893	A	19980327	
BR 9809415	A	20000613	BR 989415	A	19980327	200037
			WO 98DE893	A	19980327	
CN 1253686	A	20000517	CN 98804475	A	19980327	200041

Priority Applications (No Type Date): DE 1017643 A 19970425

Cited Patents: No-SR.Pub

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

WO 9849811 A2 G 11 H04L-025/06

Designated States (National): BR CN RU US

Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LU MC NL PT SE

DE 19717643 A1 H04L-025/04

DE 19717643 C2 H04L-025/04

EP 978182 A2 G H04L-025/06 Based on patent WO 9849811

Designated States (Regional): DE FR GB IT

BR 9809415 A H04L-025/06 Based on patent WO 9849811

CN 1253686 A H04L-025/06

Abstract (Basic): WO 9849811 A

The regulation method uses a secondary data path (ES2,K21,K22,K23) for the data signal with a decision threshold which is adjusted, the data from both data paths compared, to allow evaluation of the bit errors resulting from the adjustment of the decision threshold. The sampling point is adjusted and the data threshold of the second data path is again adjusted, with repetition of the cycle for obtaining the optimum sampling point and decision threshold.

USE - For transmitted data regenerator.

ADVANTAGE - Optimum setting of sampling point and decision threshold for minimum data error.

Dwg.1/2

Title Terms: DECIDE; THRESHOLD; SAMPLE; POINT; REGULATE; METHOD; DATA; REGENERATE; SUCCESSION; ADJUST; DATA; SAMPLE; POINT; DECIDE; THRESHOLD; SECONDARY; DATA; DETERMINE; OPTIMUM; SET

Derwent Class: U23; W01

International Patent Class (Main): H04L-025/04; H04L-025/06

International Patent Class (Additional): H03L-007/08; H03L-007/089;

H04L-001/20; H04L-007/02; H04L-007/033; H04L-025/20

File Segment: EPI

Manual Codes (EPI/S-X): U23-D01A; W01-A04B; W01-A08X

THIS PAGE BLANK (USPTO)



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫

Offenlegungsschrift
⑩ DE 197 17 643 A 1

⑤1

Int. Cl.⁶:
H 04 L 25/04
H 04 L 25/20
H 04 L 1/20
H 04 L 7/033

②1 Aktenzeichen: 197 17 643.7
②2 Anmeldetag: 25. 4. 97
④3 Offenlegungstag: 12. 11. 98

DE 197 17 643 A 1

⑦1 Anmelder:
Siemens AG, 80333 München, DE

⑦2 Erfinder:
Müllner, Ernst, Dr.-Ing., 80995 München, DE;
Hofschien, Stefan, Dr.-Ing., 82541 Münsing, DE

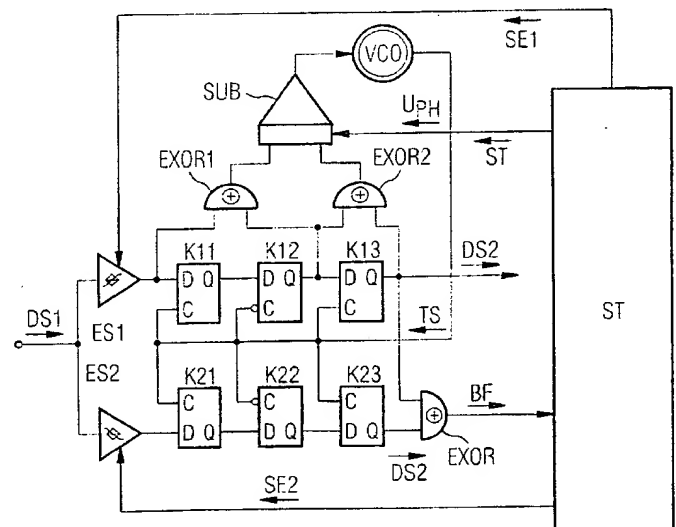
⑤6 Entgegenhaltungen:
DE 31 22 763 C2
EP 07 16 523 A1
J. of Lightwave Techn., Vol. LT-3, Dez. 1985,
S. 1312-1314;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Verfahren und Anordnung zur Regelung der Entscheidungsschwelle und des Abtastzeitpunktes eines Datenregenerators

⑤7 Der Datenregenerator weist einen zweiten Datenpfad auf, dessen Entscheidungsschwelle verstellt werden kann. Durch Vergleich der Ausgangsdaten können die Bitfehler ermittelt werden, die durch ein Verstellen der Entscheidungsschwelle hervorgerufen werden. Durch versuchsweises Verstellen des Abtastzeitpunktes und anschließendem Verstellen der Entscheidungsschwelle werden der optimale Abtastzeitpunkt und die optimale Entscheidungsschwelle gefunden.



DE 197 17 643 A 1

Beschreibung

Die Erfindung betrifft ein Verfahren nach dem Oberbegriff des Patentanspruchs 1.

Aus IEEE, Journal of Lightwave Technology, Volume Lt-3, No 6, Seite 1312-1314 ist ein Phasendetektor bekannt, der ein Regelsignal für einen steuerbaren Oszillator liefert. Für extrem hohe Frequenzen über 10 Gigahertz werden zustandsgesteuerte Speicherstufen zum Aufbau des Phasendetektors verwendet. Ein solcher Phasendetektor ist in der Offenlegungsschrift DE 44 93 416 A1 beschrieben. Um eine optimale Abtastung und niedrige Bitfehlerraten zu gewährleisten, müssen sowohl die Entscheidungsschwelle für das Empfangssignal als auch der Abtastzeitpunkt eingestellt werden.

Wegen der unvermeidlichen Änderungen des Senders, der Übertragungsstrecke und des Empfängers reicht eine einmalige Einstellung nicht aus. Es kann nun daran gedacht werden, den Abtastzeitpunkt zu variieren und gleichzeitig die dann auftretende Bitfehlerrate zu messen. Der richtige Abtastzeitpunkt ist dann eingestellt, wenn die Bitfehlerrate ihr Minimum erreicht. Entsprechend kann die optimale Entscheidungsschwelle eingestellt werden.

Nachteilig wäre jedoch bei einem solchen Verfahren, daß durch das Verstellen des Abtastzeitpunktes und der Entscheidungsschwelle erhöhte Bitfehlerraten auftreten. Ein solches Verfahren wäre zumindest während des Betriebes nicht anwendbar.

Aufgabe der Erfindung ist es daher, ein Verfahren zur optimalen Einstellung der Entscheidungsschwelle und des Abtastzeitpunktes anzugeben, das auch während der Übertragung von Daten durchgeführt werden kann. Außerdem ist eine geeignete Anordnung zu realisieren.

Diese Aufgabe wird durch ein Verfahren nach Anspruch 1 gelöst. Eine geeignete Anordnung ist in einem unabhängigen Anspruch anzugeben.

Durch die Verwendung eines zweiten Datenpfades und zweier unabhängig voneinander einstellbarer Entscheidungsschwellen ist das Verfahren besonders deshalb vorteilhaft, weil in dem zusätzlichen Datenpfad die Entscheidungsschwelle zum Auffinden des Optimums soweit verstellt werden kann, bis durch die schlechte Abtastung bedingte Fehler auftreten, ohne daß hiervon die weiterzuverarbeitenden Daten betroffen werden.

Vorteilhaft ist, daß jedoch der Abtastzeitpunkt für beide Datenpfade gemeinsam geregelt wird. Hierdurch ist der Aufwand wesentlich geringer und es ist dafür gesorgt, daß automatisch auch im Nutzdatenpfad die optimale Abtastung erfolgt.

Die Erfindung wird anhand eines Ausführungsbeispiels näher erläutert.

Fig. 1 zeigt eine erfindungsgemäße Anordnung und

Fig. 2 ein Augendiagramm zur Erläuterung der Funktionsweise.

Die in **Fig. 1** dargestellte Anordnung weist einen ersten Datenpfad mit einer Entscheidungstufe ES1 und drei Speicherzellen K11, K12 und K13 auf, die einen ersten Datenpfad bilden und deren Ausgangssignale zur Gewinnung eines Regelsignals und eines Referenzsignals mit den Eingängen zweier Exclusive-Oder-Gatter EXOR1 und EXOR2 verbunden sind. Deren Ausgänge sind über einen Subtrahierer SUB verbunden, dessen Ausgangssignal einen Oszillator VCO steuert. Die Art des Phasendetektors und der Phasenregelschleife ist für die Erfindung unwesentlich. Details (beispielsweise ein Filter) wurden aus Gründen der Übersichtlichkeit nicht dargestellt.

Der Oszillator erzeugt ein Taktsignal TS, das sowohl die Speicherstufen des ersten Datenpfades als auch die Spei-

cherstufen K21, K22 und K23 des zweiten Datenpfades triggert. Der zweite Datenpfad enthält eine zweite Entscheidungstufe ES2. Die Eingänge beider Entscheidungstufen sind zu einem Dateneingang 1 zusammengefaßt, dem das empfangene Datensignal DS – beispielsweise nach der Umwandlung eines optischen Signals in ein elektrisches Signal – zugeführt wird. Die Ausgänge beider Datenpfade sind über ein weiteres Exclusive-Oder-Gatter EXOR zusammengefaßt, dessen Ausgang mit einem Dateneingang einer Steuerung ST verbunden ist. Diese kann die Entscheidungsschwellen beider Entscheidungstufen ES1 und ES2 verändern und den Abtastzeitpunkt variieren, indem sie – in diesem Ausführungsbeispiel – zu der gewonnen Regelspannung eine Steuerspannung U_{PH} addiert. Eine andere Möglichkeit wäre der Einsatz eines steuerbaren Zeitgliedes.

Es wird davon ausgegangen, daß zunächst beide Entscheidungsschwellen auf einen Standardwert E_s eingestellt sind und ebenso der sich mit der Datentaktrate wiederholende Abtastzeitpunkt T_A auf einen Standardwert T_s (**Fig. 2**) eingestellt ist. Durch die Steuerung wird zunächst versuchsweise die Entscheidungsschwelle (Amplitude A) der zweiten Entscheidungstufe ES2 geändert, beispielsweise vergrößert. Zunächst treten Bitfehler BF am Ausgang des die Ausgangssignale beider Datenpfade vergleichenden weiteren Exklusiv-Oder-Gatters EXOR auf. Die Entscheidungsschwelle wird weiter vergrößert bis ein vorgegebener Grenzwert der Fehlerrate erreicht ist, der als Grenzbittfehlerratenkurve SK in **Fig. 2** dargestellt ist. Nach dem Erreichen der Grenzbittfehlerratenkurve wird eine Veränderung der Entscheidungsschwelle in der entgegengesetzten Richtung, hier eine Verkleinerung der Entscheidungsschwelle, durchgeführt, bis dieselbe Grenzbittfehlerrate, d. h. die Grenzbittfehlerratenkurve SK, erneut erreicht ist. Das Mittel aus dem oberen und dem unteren Grenzwert ergibt die neue Sollage der Entscheidungsschwelle, die auch für die Entscheidungstufe des ersten Datenpfades eingestellt wird. Es ist auch möglich die Entscheidungsschwelle jeweils nur um einen vorher festgelegten maximalen Betrag zu ändern.

Nach der Korrektur der Entscheidungsschwelle wird der Abtastzeitpunkt T_s versuchsweise in einer beliebigen Richtung um jeweils eine Zeitdifferenz ΔT verschoben, bei der noch keine Fehler oder nur wenige Fehler auftreten. Dann erfolgt wiederum eine Veränderung der Entscheidungsschwelle in beide Richtungen bis jeweils die Grenzbittfehlerrate erreicht ist. Ist die Differenz der zugehörigen Grenzwertwerte größer als die vorhergehende Differenz, dann erfolgte die Verschiebung in der korrekten Richtung und der neue Abtastzeitpunkt T_0 (hier bereits der optimale Abtastzeitpunkt) bleibt vorläufig als Sollzeitpunkt eingestellt. Für diesen Abtastzeitpunkt kann auch die Entscheidungsschwelle der ersten Entscheidungstufe sofort korrigiert werden.

Ist dagegen die Differenz zwischen dem oberen und dem unteren Grenzwert geringer geworden, dann war der Standardabtastzeitpunkt bzw. der vorhergehende Abtastzeitpunkt der bessere. Von diesem ausgehend wird dann der Abtastzeitpunkt in der entgegengesetzten Richtung verschoben, um dann wieder die zweite Entscheidungsschwelle in beiden Richtungen bis zum Erhalt der vorgegebenen Grenzbittfehlerraten zu verstellen. Die Vorgänge werden wiederholt bis das Optimum erreicht ist.

Eine weitere Möglichkeit besteht darin, den Abtastzeitpunkt zunächst in einer Richtung und dann in der anderen Richtung – ggf. mehrfach zu verschieben (wenn dies aufgrund des Augendiagrammes möglich ist) und nach jeder Verschiebung die zweite Entscheidungsschwelle bis zu der Grenzbittfehlerrate in beiden Richtungen zu verschieben, um dann einen optimalen Abtastzeitpunkt T_0 und eine optimale Abtastschwelle zu ermitteln, d. h. das Minimum der Bitfeh-

lerrate aufzuwachen.

Auch diese Verschiebungen von Abtastzeitpunkt und Entscheiderschwelle können auf einen Maximalwert begrenzt werden und nur innerhalb gewisser Bereiche BE beim Abtastzeitpunkt und BA bei der Entscheiderschwelle erfolgen, um den Taktregenerator arbeitsfähig zu erhalten. Die versuchsweise Verschiebung der zweiten Entscheiderschwelle erfolgt dagegen stets bis zur Grenzbittfehlerratenkurve.

Die Korrektur von Abtastzeitpunkt und Entscheiderschwelle kann fortlaufend durchgeführt werden. Die Größe der versuchsweisen Änderungen kann variiert werden. So können zunächst, beispielsweise bei einer neuen Datenverbindung, zunächst eine größere Verstellungen des Abtastzeitpunktes erfolgen. Auch kann die Grenzfehlerrate für die Verstellung der Entscheiderschwelle vergrößert werden. Hierdurch soll sichergestellt werden, daß das absolute Minimum sicher erreicht wird. Im eingeschwungenen Zustand kann die Verstellung des Abtastzeitpunktes kleiner ausfallen und kleinere Grenzfehlerraten vorgesehen werden, um eine genauere Einstellung zu erreichen. Die Verstellung von Entscheiderschwelle und Abtasttakt kann alternierend erfolgen.

Patentansprüche

1. Verfahren zur Einstellung von Entscheiderschwelle (ES) und Abtastzeitpunkt (T_A) eines Datenregenerators, dessen erstem Datenpfad mit einer ersten Entscheiderstufe (ES1) und mit einer Phasenregelung zur Erzeugung eines Abtasttaktsignals (TS) ein Datensignal (DS) zugeführt wird, **dadurch gekennzeichnet**, daß das Datensignal (DS) außerdem einem zweiten Datenpfad (ES2, K21, K22, K23), der eine zweite Entscheiderstufe (ES2) enthält, zugeführt wird, daß die Ausgangsdaten (DS1) des ersten und die Ausgangsdaten (DS2) des zweiten Datenpfades miteinander verglichen werden, daß im zweiten Datenpfad die Entscheiderschwelle vergrößert und verringert wird bis jeweils bei Grenzwerten dieselbe vorgegebene Grenzbittfehlerrate auftritt, daß als neue Entscheiderschwellen (E_S) in beiden Datenpfaden der Mittelwert aus den gemessenen Grenzwerten eingestellt wird, daß versuchsweise der Abtastzeitpunkt in einer Richtung um einen vorgegebenen Betrag verschoben wird und daß dann erneut die Entscheiderschwelle des zweiten Datenpfades vergrößert und verkleinert wird, bis erneut die Grenzbittfehlerraten auftreten, daß überprüft wird, ob die Differenz zwischen der oberen der unteren Entscheiderschwelle größer oder kleiner als vor der vorhergehenden versuchsweisen Änderung des Abtastzeitpunktes ist und
 - a) wenn die Differenz größer ist, der neue Abtastzeitpunkt (T_0) eingestellt wird und gegebenenfalls eine neu ermittelte Entscheiderschwelle eingestellt wird,
 - b) wenn die Differenz kleiner ist, eine versuchsweise Änderung des Abtastzeitpunktes (T_A) in der entgegengesetzten Richtung erfolgt.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß versuchsweise der Abtastzeitpunkt zunächst in eine Richtung um einen festen Betrag verschoben wird, daß im zweiten Datenpfad die Entscheiderschwelle vergrößert und verringert wird bis jeweils dieselbe vorgegebene Grenzbittfehlerrate auftritt, daß anschließend der Abtastzeitpunkt um denselben

Betrag in der anderen Richtung verschoben wird, daß dann erneut die Entscheiderschwelle des zweiten Datenpfades vergrößert und verkleinert wird, bis erneut die Grenzbittfehlerraten auftreten, daß durch Interpolation der optimale Abtastzeitpunkt ermittelt und eingestellt wird.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß die Verschiebung des Abtastzeitpunktes (T_A) jeweils nur um einen vorgegebenen Korrekturschritt erfolgt.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß die Verschiebung der Entscheiderschwelle jeweils nur um einen vorgegebenen Korrekturwert erfolgt.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß die versuchsweise Änderung der Abtastschwelle mehrmals nacheinander durchgeführt wird, wenn der neu ermittelte Mittelwert größer als ein Korrekturschritt ist.

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß Korrekturen des Abtastzeitpunktes und der Entscheiderschwelle abwechselnd erfolgen.

7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Grenzbittfehlerrate und/oder die Größe der versuchsweisen Verstellung des Abtastzeitpunktes während eines Einstellprozesses geändert wird.

8. Anordnung zur Regelung der Entscheiderschwelle und des Abtastzeitpunktes eines Datenregenerators, der einen ersten Datenpfad mit einer ersten Entscheiderstufe (ES1) und einen Phasenregelkreis zur Erzeugung eines Abtasttaktsignals (TS) aufweist, dadurch gekennzeichnet,

daß ein zweiter Datenpfad mit einer zweiten Entscheiderstufe (ES2) vorgesehen ist,

daß eine Vergleichsschaltung (EXOR) zum Vergleichen der Ausgangsdaten des ersten und des zweiten Datenpfades vorgesehen ist,

daß ein Mittel zum Verstellen des Abtastzeitpunktes vorgesehen ist,

und daß eine Steuerung vorgesehen ist, die die Entscheiderschwellen beider Datenpfade verstellen kann, die Fehlerrate ermitteln kann und den Abtastzeitpunkt verändern kann.

9. Anordnung nach Anspruch 8, dadurch gekennzeichnet, daß als Mittel zum Verstellen der Abtastphase ein Summierer oder Subtrahierer vorgesehen ist, dessen Ausgangsspannung einen Oszillator (VCO) steuert.

Hierzu 1 Seite(n) Zeichnungen

